

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-223047  
(43)Date of publication of application : 30.08.1996

(51)Int.Cl. H03M 7/14  
G11B 20/14  
H04L 25/49

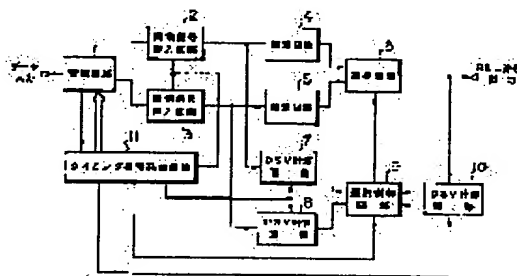
(21)Application number : 07-023956 (71)Applicant : PIONEER ELECTRON CORP  
(22)Date of filing : 13.02.1995 (72)Inventor : MORIYAMA YOSHIKI

## (54) DATA CONVERSION SYSTEM AND DATA DECODING METHOD

### (57)Abstract:

**PURPOSE:** To effectively eliminate the DC component out of even an RLL(run length limited) code by securing the correspondence between a single piece of 2-block data to be converted and two or more  $2n$ -bit code words and then selecting one of these code words.

**CONSTITUTION:** This system/method includes a conversion circuit 1, the synchronizing signal insertion circuits 2 and 3, the delay circuits 4 and 5, a selection circuit 6, the DSV calculation circuits 7, 8 and 10, a selection control circuit 9, and a timing signal generation circuit 11. In such a constitution, an input data series is divided into blocks in every (m) bits. Then a single block or two blocks are successively converted into a code word of (n) bits or code words of  $2n$  bits (m, n: natural numbers and  $m < n$ ), and an RLL code is generated. In the conversion that is carried out into the code words of two blocks including a DC control block based on a DC control conversion rule, the correspondence is secured between a single piece of 2-block data to be converted and two or more  $2n$ -bit code words. Then one of these code words is selected so that the DC component can be controlled.



## LEGAL STATUS

[Date of request for examination] 07.02.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3243138

[Date of registration] 19.10.2001

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-223047

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 3 M 7/14		9382-5K	H 0 3 M 7/14	B
G 1 1 B 20/14	3 4 1	9463-5D	G 1 1 B 20/14	3 4 1 A
H 0 4 L 25/49		9199-5K	H 0 4 L 25/49	A

審査請求 未請求 請求項の数 4 O L (全 12 頁)

(21) 出願番号 特願平7-23956

(22) 出願日 平成7年(1995)2月13日

(71) 出願人 000005016

バイオニア株式会社

東京都目黒区目黒1丁目4番1号

(72) 発明者 守山 義明

埼玉県鶴ヶ島市富士見6丁目1番1号パイ

オニア株式会社総合研究所内

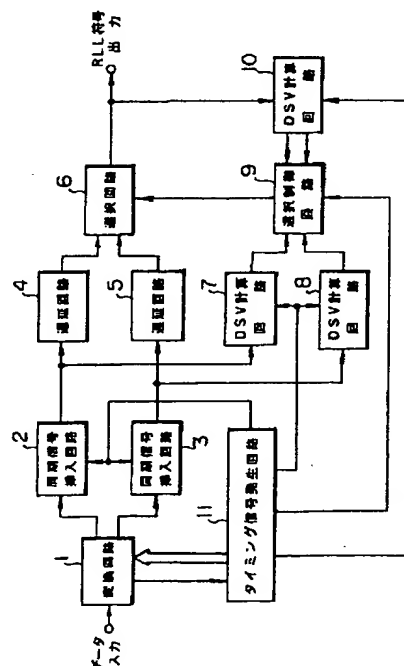
(74) 代理人 弁理士 藤村 元彦

(54) 【発明の名称】 データ変換方式及び復号方法

(57) 【要約】

【目的】 高密度記録に好適な R L L 符号に対して良好に直流成分の除去を行うデータ変換方式及びこれにより変換された R L L 符号に対し誤り伝搬の少ない復号方法を提供する。

【構成】 直流制御ブロックが挿入された入力データ系列の先頭のブロックから順次符号語へのデータ変換を行う際に、直流制御ブロックの直前の2つのブロックが2nビットの符号語に変換された場合は当該直流制御ブロックと次のブロックの2ブロックが専用の直流制御用変換規則によって2nビットの符号語に変換され、それ以外の場合は直流制御ブロックとその1つ前のブロックが専用の直流制御用変換規則によって2nビットの符号語に変換される。これら直流制御用変換規則に基づく変換では、直流成分の制御をなすべく、変換すべき1つの2ブロックデータに対して2つ以上の2nビットの符号語を対応させてその1つが選択される。



## 【特許請求の範囲】

【請求項1】  $m, n, d, k$ を $m < n, d < k$ の関係を有する自然数とし、2進符号によって表された入力データ系列を $m$ ビット毎のブロックに区切り、変換後において隣接する「1」の間の「0」の個数が最小 $d$ 個、最大 $k$ 個、となるように、前記ブロックの1個を $n$ ビットあるいは前記ブロックの2個を $2n$ ビットの符号語に順次変換するデータ変換方式であって、前記入力データ系列の所定ブロック数毎に $m$ ビットからなる直流制御ブロックを挿入し、この挿入された入力データ系列の先頭のブロックから順次符号語へのデータ変換を行う際に、直流制御ブロックの直前の2つのブロックが $2n$ ビットの符号語に変換された場合は当該直流制御ブロックと次のブロックの2ブロックを他のブロックの変換規則とは異なる直流制御用変換規則によって $2n$ ビットの符号語に変換し、それ以外の場合は直流制御ブロックとその1つ前のブロックを他のブロックの変換規則とは異なる直流制御用変換規則によって $2n$ ビットの符号語に変換し、前記直流制御用変換規則に基づく直流制御ブロックを含む2ブロックの符号語への変換では、\*20

\*変換すべき1つの2ブロックデータに対して2つ以上の $2n$ ビットの符号語を対応させてその1つを選択することにより直流成分の制御を可能とすることを特徴とするデータ変換方式。

【請求項2】 前記 $m, n, d, k$ をそれぞれ2, 3, 1, 7とし、前記入力データ系列における各ブロックの2ビットで表される4種類の情報を第1ないし第4情報とし、直流制御ブロックを含まないブロックのデータ変換規則を以下の表1とし、左端のビットと右端のビットがそれぞれ共通の値を持つ複数の6ビットの符号語からなり符号語に含まれる「1」の数の偶奇が互いに異なる2つの符号語を少なくとも含む符号語の集合を符号語グループとし、この符号語グループの4つを共通の符号語を含まずに構成して直流制御ブロックを含む2ブロックで表される4種類の情報の各々を4つの符号語グループの各々に1対1に対応させ、各情報の変換後の符号語を対応する符号語グループの中から選択することを前記直流制御用変換規則とすることを特徴とする請求項1記載のデータ変換方式。

【表1】

データ (1ブロック)	符号語
第1情報	X00
第2情報	010
第3情報	X01

データ (2ブロック)	符号語
第4情報・第a情報	X00001
第4情報・第b情報	X00000
第4情報・第c情報	010001
第4情報・第d情報	010000

但し、Xは変換後の符号語における直前のビットの補数を表し、a, b, c, dはそれぞれ異なる1から4の整数のいずれかが割り当てられる。

\*データと第a情報ないし第d情報のデータと、前記直流制御用変換規則とをそれぞれ表2、表3のように定めることを特徴とする請求項2記載のデータ変換方式。

【請求項3】 前記表1における第1ないし第4情報の※30 【表2】

データ (1ブロック)	符号語
01	X00
10	010
11	X01

データ (2ブロック)	符号語
0001	X00001
0010	X00000
0011	010001
0000	010000

【表3】

直流制御ブロックと共に変換されるデータ	符号語	
01	第1グループ	1が奇数個 X00100
		1が偶数個 X00000
10	第2グループ	1が奇数個 010101
		1が偶数個 010001
11	第3グループ	1が奇数個 X00001
		1が偶数個 X00101
00	第4グループ	1が奇数個 010000
		1が偶数個 010100

【請求項4】  $m, n, d, k$ を $m < n, d < k$ の関係を有する自然数とし、2進符号によって表された入力データ系列を $m$ ビット毎のブロックに区切り、変換後にお

いて隣接する「1」の間の「0」の個数が最小 $d$ 個、最大 $k$ 個、となるように、前記ブロックの1個を $n$ ビットあるいは前記ブロックの2個を $2n$ ビットの符号語に順

次変換するデータ変換方式において、前記入力データ系列の所定ブロック数毎に $m$ ビットからなる直流制御ブロックを挿入し、この挿入された入力データ系列の先頭のブロックから順次符号語へのデータ変換を行う際に、直流制御ブロックの直前の2つのブロックが $2n$ ビットの符号語に変換された場合は当該直流制御ブロックと次のブロックの2ブロックを他のブロックの変換規則とは異なる直流制御用変換規則によって $2n$ ビットの符号語に変換し、それ以外の場合は直流制御ブロックとその1つ前のブロックを他のブロックの変換規則とは異なる直流制御用変換規則によって $2n$ ビットの符号語に変換し、前記直流制御用変換規則に基づく直流制御ブロックを含む2ブロックの符号語への変換では、変換すべき1つの2ブロックデータに対して2つ以上の $2n$ ビットの符号語を対応させてその1つを選択することにより直流成分の制御を可能とするデータ変換方式によって変換されたデータの復号方法であって、直流制御ブロックを含んで変換された $2n$ ビットの符号語の復号に際し、前記直流制御ブロックの次の2つのブロックに対応した $2n$ ビット符号語がその2ブロックのデータ変換規則のどの $2n$ ビット符号語にも一致しない場合で、かつ前記直流制御ブロックとその直前のブロックの2つのブロックで $2n$ ビット符号語の復号を行わない場合あるいは前記直流制御ブロックとその直前のブロックに対応した $2n$ ビット符号語が前記直流制御用変換規則のどの $2n$ ビット符号語にも一致しない場合で、かつ前記直流制御ブロックとその次のブロックに対応した $2n$ ビット符号語が前記直流制御用変換規則のいずれかの $2n$ ビット符号語に一致する場合にのみ、前記直流制御ブロックとその次のブロックに対応した $2n$ ビット符号語の復号を行い、それ以外の場合は、前記直流制御ブロックとその次のブロックに対応した $2n$ ビット符号語の復号を行わずに前記直流制御ブロックの次のブロックから復号を行うことを特徴とする復号方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、データを記録媒体へ高密度記録したり帯域制限された伝送系にて伝送する際に行われる、データ変換の方式及びその復号方法に関する。

【0002】

【従来の技術】一般に、2進符号のデータ系列を高密度に記録媒体に記録したり伝送系に伝送するために、データ系列を $m$ ビット毎のブロックに区切り、変換後において隣接する「1」の間の「0」の個数が最小 $d$ 個、最大 $k$ 個、となるように、1ブロックあたり $n$ ビットとして1あるいは複数ブロック毎に符号語に順次変換するデータ変換方式が用いられる。このようなデータ変換方式によって生成される符号語の集合はRLL (Run Length Limited) 符号と呼ばれ、これまでに多くのRLL符号が

発表されている。高密度記録に適したものとして、 $m=2$ 、 $n=3$ 、 $d=1$ 、 $k=7$ のRLL符号が、特開昭52-128024号公報及び関連論文“ANOPTIMIZATION OF MODULATION CODES IN DIGITAL RECORDING” T. Horiguchi他、IEEE, Transactions on Magnetics, Vol. MAG-12, No.6, Nov.1976や、特開昭56-149152号公報に開示されている。

【0003】RLL符号に望まれる重要な性質の1つに直流成分のないことが挙げられるが、上記のRLL符号は直流成分を含んでおり、直流除去対策が必要となる。直流除去対策としては、特開昭58-75353号公報や特開平4-115751号公報に開示された方法があるが、前者は $k=7$ の条件を保ちつつ直流除去を行うことが困難であると共に変換後のブロックのビット数が一定にならないという問題があり、後者はそのまま適用しても特開昭52-128024号公報及びその関連論文のRLL符号では所望の効果が得られない。

【0004】

【発明が解決しようとする課題】そこで、本発明は、特開昭52-128024号公報及びその関連論文のRLL符号や同様のRLL符号に対して良好に直流成分の除去を可能にするデータ変換方式を提供することを目的としている。また本発明の他の目的は、このデータ変換方式で生成されたRLL符号に対して誤り伝搬の少ない復号方法を得ることである。

【0005】

【課題を解決するための手段】本発明によるデータ変換方式は、 $m$ 、 $n$ 、 $d$ 、 $k$ を $m < n$ 、 $d < k$ の関係を有する自然数とし、2進符号によって表された入力データ系列を $m$ ビット毎のブロックに区切り、変換後において隣接する「1」の間の「0」の個数が最小 $d$ 個、最大 $k$ 個、となるように、前記ブロックの1個を $n$ ビットあるいは前記ブロックの2個を $2n$ ビットの符号語に順次変換するデータ変換方式であって、前記入力データ系列の所定ブロック数毎に $m$ ビットからなる直流制御ブロックを挿入し、この挿入された入力データ系列の先頭のブロックから順次符号語へのデータ変換を行う際に、直流制御ブロックの直前の2つのブロックが $2n$ ビットの符号語に変換された場合は当該直流制御ブロックと次のブロックの2ブロックを他のブロックの変換規則とは異なる直流制御用変換規則によって $2n$ ビットの符号語に変換し、それ以外の場合は直流制御ブロックとその1つ前のブロックを他のブロックの変換規則とは異なる直流制御用変換規則によって $2n$ ビットの符号語に変換し、前記直流制御用変換規則に基づく直流制御ブロックを含む2ブロックの符号語への変換では、変換すべき1つの2ブロックデータに対して2つ以上の $2n$ ビットの符号語を対応させてその1つを選択することにより直流成分の制御を可能とすることを特徴としている。

【0006】本発明による復号方法は、 $m$ 、 $n$ 、 $d$ 、 $k$

を $m < n$ ,  $d < k$ の関係を有する自然数とし、2進符号によって表された入力データ系列を $m$ ビット毎のブロックに区切り、変換後において隣接する「1」の間の「0」の個数が最小 $d$ 個、最大 $k$ 個、となるように、前記ブロックの1個を $n$ ビットあるいは前記ブロックの2個を $2n$ ビットの符号語に順次変換するデータ変換方式において、前記入力データ系列の所定ブロック数毎に $m$ ビットからなる直流制御ブロックを挿入し、この挿入された入力データ系列の先頭のブロックから順次符号語へのデータ変換を行う際に、直流制御ブロックの直前の2つのブロックが $2n$ ビットの符号語に変換された場合は当該直流制御ブロックと次のブロックの2ブロックを他のブロックの変換規則とは異なる直流制御用変換規則によって $2n$ ビットの符号語に変換し、それ以外の場合は直流制御ブロックとその1つ前のブロックを他のブロックの変換規則とは異なる直流制御用変換規則によって $2n$ ビットの符号語に変換し、前記直流制御用変換規則に基づく直流制御ブロックを含む2ブロックの符号語への変換では、変換すべき1つの2ブロックデータに対して2つ以上の $2n$ ビットの符号語を対応させてその1つを選択することにより直流成分の制御を可能とするデータ変換方式によって変換されたデータの復号方法であって、直流制御ブロックを含んで変換された $2n$ ビットの符号語の復号に際し、前記直流制御ブロックの次の2つのブロックに対応した $2n$ ビット符号語がその2ブロックのデータ変換規則のどの $2n$ ビット符号語にも一致しない場合で、かつ前記直流制御ブロックとその直前のブロックの2つのブロックで $2n$ ビット符号語の復号を行わない場合あるいは前記直流制御ブロックとその直前のブロックに対応した $2n$ ビット符号語が前記直流制御用変換規則のどの $2n$ ビット符号語にも一致しない場合で、かつ前記直流制御ブロックとその次のブロックに対応した $2n$ ビット符号語が前記直流制御用変換規則のいずれかの $2n$ ビット符号語に一致する場合にのみ、前記直流制御ブロックとその次のブロックに対応した $2n$ ビット符号語の復号を行い、それ以外の場合は、前記直流制御ブロックとその次のブロックに対応した $2n$ ビット符号語の復号を行わずに前記直流制御ブロックの次のブロックから復号を行うことを特徴としている。

【0007】

【作用】本発明のデータ変換方式によれば、入力データ系列の所定ブロック数毎に $m$ ビットからなる直流制御ブロックが挿入され、この挿入された入力データ系列の先頭のブロックから順次符号語へのデータ変換を行う際に、直流制御ブロックの直前の2つのブロックが $2n$ ビットの符号語に変換された場合は当該直流制御ブロックと次のブロックの2ブロックが他のブロックの変換規則とは異なる直流制御用変換規則によって $2n$ ビットの符号語に変換され、それ以外の場合は直流制御ブロックとその1つ前のブロックが他のブロックの変換規則とは異

なる直流制御用変換規則によって $2n$ ビットの符号語に変換される。これら直流制御用変換規則に基づく直流制御ブロックを含む2ブロックの符号語への変換では、直流成分の制御をなすべく、変換すべき1つの2ブロックデータに対して2つ以上の $2n$ ビットの符号語を対応させてその1つが選択される。

【0008】本発明の復号方法によれば、上記データ変換方式によって変換されたデータの復号が行われる。直流制御ブロックを含んで変換された $2n$ ビットの符号語の復号に際し、直流制御ブロックの次の2つのブロックに対応した $2n$ ビット符号語がその2ブロックのデータ変換規則のどの $2n$ ビット符号語にも一致しない場合で、かつ直流制御ブロックとその直前のブロックの2つのブロックで $2n$ ビット符号語の復号を行わない場合あるいは直流制御ブロックとその直前のブロックに対応した $2n$ ビット符号語が前記直流制御用変換規則のどの $2n$ ビット符号語にも一致しない場合で、かつ直流制御ブロックとその次のブロックに対応した $2n$ ビット符号語が前記直流制御用変換規則のいずれかの $2n$ ビット符号語に一致する場合にのみ、直流制御ブロックとその次のブロックに対応した $2n$ ビット符号語の復号が行われる。それ以外の場合は、直流制御ブロックとその次のブロックに対応した $2n$ ビット符号語の復号を行わずに直流制御ブロックの次のブロックから復号が行われる。

【0009】

【実施例】以下、本発明の実施例として、本発明を前述の論文に開示されたRLL符号に対して適用した場合について、表及び図に基づいて説明する。なお、特開昭52-128024号公報に開示されたRLL符号は、変換表のデータと符号語の対応関係が異なるだけで本質的に前述の関連論文で述べられているRLL符号と同じである。

【0010】図1は前述の関連論文のRLL符号のデータ変換規則を表す表を示しており、Xは変換後の直前のビットの補数を表す。換言すれば、Xは直前の符号語における当該Xの隣接ビットの補数を表す。変換された符号語は「1」を反転、「0」を非反転とした波形(NRZ I波形)で記録あるいは伝送される。データ系列を2ビットのブロックに区切り、所定のブロック数毎に直流制御ブロックを挿入する。直流制御ブロックは原データが担うべき情報を持たないのでダミーのデータ(例えば00)とする。直流制御ブロックを挿入する間隔は、短いほど直流除去効果が大きくなるが冗長度も大きくなるので、必要十分な間隔とすればよい。直流制御ブロックを挿入したデータ系列を先頭から図1の変換表に従って変換して行くが、図3のように直流制御ブロックの直前の2ブロックが6ビットの符号語に変換された場合には、直流制御ブロックとその次のブロックを図2の変換表に従って変換する。

【0011】図2の変換規則では、各データに対して

「1」の個数の偶奇の異なる2つの符号語がそれぞれ割り当てられており変換後の波形においてより直流分が減少する方の符号語を選択する。「1」は反転に対応するので、その個数の偶奇が2つの符号語で異なるということは、符号語の後の信号の極性が互いに逆になることを意味し、符号語の選択を適切に行うことにより直流分の減少が可能であることを保証する。また、1つのデータに対応する2つの符号語を構成するビット列の右端ビットと左端ビットをそれぞれ共通の値としているので、符号語の連結の際に「X」の値がどのような値になっても偶奇が逆になるという関係は保たれる。直流分の評価基準としては、例えば、符号語系列によって決まる波形の「H」（高レベル）、「L」（低レベル）の1ビットをそれぞれ+1、-1として累積加算した値を示すDSV（Digital Sum Value）がある。これによれば、1つの直流制御ブロックの内容を決めるのに、次の直流制御ブロックの手前の位置すなわちDSV評価点までのDSVの絶対値を用いて直流成分の制御が可能となる。なお、図2に示される全ての符号語は変換後の符号語の系列において、 $d=1$ 、 $k=7$ のRLL符号の条件を満たす。

【0012】一方、図4のように直流制御ブロックの直前の2ブロックが6ビットの符号語に変換されない場合にも、同様に、直流制御ブロックとその直前のブロックを図2に従って変換する。直流制御ブロックの直前のブロックを通常の変換としないのは、図1に示すように、この直前のブロックのデータが「00」の場合に、次のブロックとの組合わせて反転の偶奇の関係が常に逆になるような符号語の対が存在しないからである。

【0013】以上のように、直流制御ブロックの変換では常に2ブロック単位の専用の変換規則を用いることにより、自由度を大きくし、 $d$ 、 $k$ の条件を満たしつつ符号語の選択を可能にして、直流分の除去を可能にしている。図5は本発明によるデータ変換方式を実現する変換器のブロック図である。図5において、タイミング信号発生回路11より各ブロックに供給される各種のクロック信号は省略されている。所定ブロック数毎に直流制御ブロックとしてダミーデータ「00」が挿入されたデータ系列は変換回路1によって図1及び図2の変換規則によって順次変換される。

【0014】変換回路1の詳細を図6に示す。図6において、データ・クロックDCK、信号b1、信号b2、ロード信号、シリアル・クロックSCKの各信号はタイミング信号発生回路11より供給され、入力されたデータはデータ・クロックDCKによって4ビット・シフト・レジスタ12に順次格納される。ROM13には4ビット・シフト・レジスタ12の出力データと、同出力データ中に直流制御ブロックが含まれていることを示す信号b1と、左右レジスタのどの2ビットに含まれているかを示す信号b2とが入力され、図1及び図2の変換規則に従って符号語を出力する。

【0015】図6において、データは時間と共に左から右に移動するので、図1及び図2とはデータ及び符号語のビットの左右の並び順が逆になる。信号b1に基づき直流制御ブロックが4ビット・シフト・レジスタ12の左右2ビットのいずれにも存在しないことを検知している場合、ROM13は、4ビット・シフト・レジスタ12の右2ビット出力が「01」、「10」、「11」のいずれかのときは図1の（A）の変換規則に従って対応する符号語を右3ビットに出力し、同レジスタの右2ビット出力が「00」のときは左の2ビットの値に応じた6ビット符号語を、図1の（B）の変換規則に従って左右3ビットに出力する。NORゲート14は4ビット・シフト・レジスタ12の右2ビット出力の「00」を検出し、6ビット符号語への変換が行われることを信号aを発生してタイミング信号発生回路11に知らせる。信号b1に基づき直流制御ブロックが4ビット・シフト・レジスタ12の左右2ビットのいずれかに存在することを検知している場合、ROM13は直流制御ブロック以外の2ビットの値に応じて対応する符号語の一方を出力する。例えば、直流制御ブロック以外の2ビットが「01」あれば、符号語「X00100」及び「X00000」のうちの一方が出力される。この一方の符号語に対して他方の符号語は後ろから3ビット目（最下位ビットから数えて3ビット目）が反転しているだけなので、直流制御ブロックを含む2ブロックの変換を行うときのみEXORゲート15によってその後ろから3ビット目を反転して他方の符号語も同時に生成する。

【0016】6ビット・シフト・レジスタ16、17はロード信号と符号語のシリアル・クロックSCKによってこれらの符号語がそれぞれロードされる。直流制御ブロックを含む2ブロックの変換を行わないときはEXORゲート15はスルーになるので、6ビット・シフト・レジスタ16、17には同じ符号語がロードされる。6ビット・シフト・レジスタ16、17は、ロード信号が非ロードを示すときはSCKによって符号語をシフトしてシリアル出力する。タイミング信号発生回路11は、信号a、b1及びb2によって何ビットの符号語がレジスタ16、17にロードされたかを知り、1つの符号語の出力を完了したとき次の変換のためのロード信号を発生する。なお、符号語の先頭ビットの「X」は、ROM13からは「1」として出力され、ANDゲート18とインバータ19によって直前の符号語の最終ビットが「0」のときは「1」、「1」のときは「0」となるようにして、6ビット・シフト・レジスタ16及び17にロードされる。

【0017】以上のようにして、変換回路1は、図1の変換を行うと共に、直流制御ブロックを含む2ブロックの変換において、直流制御ブロックの直前の2つのブロックが6ビット符号語に変換されたときは直流制御ブロックとその次のブロックの2ブロックとからなる2ブロ

ックを6ビット符号語に変換し、それ以外では直流制御ブロックとその1つ前のブロックとからなる2ブロックを6ビット符号語に変換し、直流制御ブロックを含む2ブロックの変換に対応する符号語のみが互いに異なる2つの符号語系列を出力する。

【0018】図5において、変換回路1から出力された2つの符号語系列は、同期信号挿入回路2及び3において、タイミング信号発生回路11からの挿入指定信号で、復調におけるタイミングの基準信号としての同期信号が同一位置に同一パターンで挿入される。DSV計算回路7、8は、DSVの評価点（DSVの評価をするデータ位置）が到来する度にタイミング信号発生回路11によってリセットされ、同期信号挿入回路2及び3から出力されたそれぞれの符号語系列について、ある評価点から次の評価点までの1区間のDSVの値をその区間の先頭の波形のレベルを「L」（低レベル）として求める。遅延回路4及び5は、同期信号挿入回路2及び3からのそれぞれの符号語系列をDSV評価点により画定される1区間に相当するビット数だけ遅延させる。DSV計算回路10は、タイミング信号発生回路11によって初期リセットされた後、選択回路6から出力されるRLL符号出力のNRZI波形について初期状態からのDSVの積算値を求め、その時点の積算値と信号レベルを選択制御回路9に出力する。

【0019】DSV評価点において、タイミング信号発生回路11からの選択制御パルスによって、選択制御回路9は、DSV計算回路10からのDSV積算値にDSV計算回路7、8からの1区間のDSVの値をそれぞれ加算し、それぞれの符号語系列の評価点におけるDSV積算値を求め、その積算値の絶対値が小さくなる方の符号語系列を選択するように選択回路6に選択信号を出力する。なお選択制御回路9によるDSVの加算は、1区間のDSV値がその区間の先頭の波形のレベルを「L」（低レベル）として求められたものなので、DSV計算回路7、8からの1区間の各DSVを、DSV計算回路10からの信号レベルが「L」のときはそのままし「H」（高レベル）のときは正負の符号を反転した後、これを行う。このとき、選択回路6には、遅延回路4、5から、それぞれの符号語系列のDSVの加算を行い終わった1区間の先頭のビットが入力されており、選択信号によって指定された方の符号語系列の1区間が当該先頭ビットより出力開始される。以後同様にして、1区間毎にその次の区間の直前でDSVの絶対値がより小さくなる方の符号語系列が選択され、直流成分が除去されたRLL符号として出力される。

【0020】図7は上記RLL符号の復号回路であり、シリアル・クロックSCK、データ・クロックDCKは図6と同じ周波数のタイミング信号である。図7において、クロックSCK、信号e1、信号e2、ロード信号及びクロックDCKは、RLL符号に含まれる同期信号

に同期して動作するタイミング信号発生回路（図示せず）から供給され、信号c及びdはそのタイミング信号発生回路に供給される。入力されたRLL符号はシリアル・クロックSCKによって6ビット・シフト・レジスタ20に順次格納される。ROM21には6ビット・シフト・レジスタ20の出力データ（符号語）と、同出力データ中に直流制御ブロックの位置に対応した3ビットが含まれていることを示す信号e1と、左右レジスタのどの3ビットに含まれているかを示す信号e2とが入力され、図1及び図2の符号変換の逆変換を行ってデータを出力する。

【0021】信号e1に基づき直流制御ブロックの位置に対応した3ビットが6ビット・シフト・レジスタ20の左右3ビットのいずれにも存在しないことを検知している場合、ROM21は、6ビット・シフト・レジスタ20の右から3、4、5ビット目の出力データが「000」以外のときは図1の（A）に従って入力の右3ビットの符号語に対応するデータを右2ビットに出力し、同レジスタの各ビットの出力データが「000」のときは6ビット符号語に対応する4ビット・データを、図1の（B）に従って左右2ビットに出力する。このとき、図1から分かるように符号語の先頭ビットを見なくとも符号語に対応するデータを知ることができるので、6ビット・シフト・レジスタ20の右端のビットは復号に関与していない。3入力NORゲート22は上記「000」を検出し、6ビット符号語からデータの逆変換が行われることを信号cとしてタイミング信号発生回路に知らせる。信号e1が、直流制御ブロックの位置に対応した3ビットが6ビット・シフト・レジスタ20の左右3ビットのいずれかに存在することを示している場合は、図2に従って、ROM21は、直流制御ブロック以外のブロックの2ビット・データを信号e2の値に応じたビット位置に出力し、ダミーの2ビット・データを他のビット位置に出力する。

【0022】4ビット・シフト・レジスタ23にはロード信号とデータ・クロックDCKによってこれらのデータがロードされる。4ビット・シフト・レジスタ23は、ロード信号が非ロードを示すときはデータ・クロックDCKによってデータをシフトして、直流制御ブロックのダミー・データを含むデータ系列を出力端子にシリアル出力する。図示せぬタイミング信号発生回路は、最初の符号語の先頭ビットが6ビット・シフト・レジスタ20の右端に来たときにロード信号を発生し、以後はロード信号を発生したときの信号cとe1によって何ビットのデータがレジスタ23にロードされたかを知り、ロードされたデータの出力を完了したとき次の変換のためのロード信号を発生する。

【0023】信号dは、直流制御ブロックの位置に対応した3ビットが6ビット・シフト・レジスタ20の出力に含まれているときにレジスタ20から入力された符号

語が図2の符号語と一致しないことを示す信号である。タイミング信号発生回路は、直流制御ブロックを含む2ブロックのデータをレジスタ23にロードするときに、この信号dを参照して、図2の逆変換が正しく行われたか否かを知り、逆変換が正しく行われなかったときは、4ビット・シフト・レジスタ23から2ビットのデータを出力した後再びロード信号を発生する。これは、逆変換が正しく行われないうちに、符号語及びデータを1ブロック相当分シフトした後逆変換をやり直してその結果を4ビット・シフト・レジスタ23にロードするためである。なお、直流制御ブロックとその直前のブロックに対応した6ビットの逆変換が正しく行われず、ロード及び1ブロック・シフト後のやり直しの逆変換、すなわち直流制御ブロックとその次のブロックに対応した6ビットの逆変換も正しく行われないう場合は、さらにもう一度ブロック・シフト後のやり直しの逆変換を行って4ビット・シフト・レジスタ23にロードする。このようにやり直しの逆変換とロードを行うことにより、逆変換におけるブロック境界判別の誤りの伝搬、ひいてはデータ誤りの伝搬を防止することができる。

【0024】また、直流制御ブロックとその次のブロックに対応した6ビット符号語を4ビット・データへ逆変換したのに引き続き、4ビット・シフト・レジスタ23が2ビットのデータを出力したときに、6ビット・シフト・レジスタ20の出力が図1の6ビット符号語に一致していることを信号cが示す場合も、ロード信号を発生する。この場合にロード信号を発生するのは、直流制御ブロックと次のブロックに対応した6ビットの逆変換が正しく行われていないと判断し、前述の説明と同様に、やり直しの逆変換とロードを行ってデータ誤りの伝搬を防止するためである。すなわち、図1と図2から分かるように、符号語の境界をはさんで、ある符号語の最後のビットから次の符号語の先頭2ビットに亘る3ビット（すなわちNORゲート22の入力3ビット）が同時に「0」となることはないので、この3ビットが同時に「0」であればその3ビットあるいはそれ以前に誤りが発生していることになる。そこで信号cによりこれを検出し、やり直しの逆変換とロードを行うのである。

【0025】図7の復号回路は、以上のように復号動作を行うことにより、直流制御ブロックの次の2つのブロックに対応した6ビットがその2ブロックのデータの変換規則のどの6ビット符号語にも一致せず、かつ直流制御ブロックとその直前のブロックの2ブロックの復号を行わないか若しくは正しく行えない場合で、かつ直流制御ブロックとその次のブロックに対応した6ビットが対応するデータ変換規則のいずれかの符号語に一致するときのみ、直流制御ブロックとその次のブロックに対応した6ビットの復号を行うようにし、誤り伝搬を少なくしている。さらに図2におけるデータ及び符号語も誤り伝搬が少なくなるように定められている。これらについ

て図8、図9を用いて次に説明する。なお、上述した復号回路の動作は図10のフローチャートによっても示され得る。

【0026】図8において、縦の点線は符号語境界を示しており、直流制御ブロックの1つ前のブロックに対応した3ビットの先頭ビットが誤ったため誤った符号語境界で復号され、直流制御ブロックとその1つ前のブロックに対応した6ビットを1つの符号語とすべきところを直流制御ブロックとその次のブロックに対応した6ビットを1つの符号語として復号している。そのため、このままの復号結果を出力してしまうと（d）のように誤り伝搬が直流制御ブロックの2つ前のブロックから直流制御ブロックの2つ後のブロックに亘って生じてしまう。

【0027】しかしながら、図7で説明したように、直流制御ブロックの次の2つのブロックに対応した6ビットが図1の6ビット符号語に一致している場合は、

（e）のように、その6ビットを復号したデータがレジスタ23に再ロードされるので、誤りは直流制御ブロックの後には伝搬しない。また、直流制御ブロックに対応した3ビット符号語が「001」または「101」の場合あるいは直流制御ブロックの次のブロックに対応した3ビットが「010」の場合は、直流制御ブロックとその次のブロックに対応した6ビットが図2のどの符号語にも一致しないので、この場合も直流制御ブロックの次の2つのブロックに対応した6ビットを復号したデータがレジスタ23に再ロードされ、誤り伝搬が抑えられる。

【0028】図9は、直流制御ブロックの2つ前のブロックに対応した3ビットの先頭ビットが誤ったために直流制御ブロックとその次のブロックに対応した6ビットを1つの符号語とすべきところを直流制御ブロックとその1つ前のブロックに対応した6ビットを1つの符号語として復号した場合の例であり、符号語境界を誤っているにもかかわらず、直流制御ブロックの次のブロックが正しく復号されている。これは、図2において、データと符号語の後半3ビットとの対応関係を図1のデータと符号語との対応関係と同じくするように定めたためである。また、直流制御ブロックの1つ前のブロックに対応した3ビットが「001」の場合あるいは直流制御ブロックに対応した3ビットが「010」の場合は、直流制御ブロックとその1つ前のブロックに対応した6ビットが図2のどの符号語にも一致しないので、直流制御ブロックとその次のブロックに対応した6ビットを復号したデータがレジスタ23に再ロードされ、誤り伝搬が抑えられる。図8と同様に、このように符号語の復号誤りを検出してデータの再ロードが行えるように、図2の符号語は、前半3ビットには「001」と「101」を使用せず、後半3ビットには「010」を使用しないよう、定めてある。

【0029】以上のように、図2の変換規則は、復号に



おける誤り伝搬が少なくなるように符号語及び符号語とデータの対応関係を定めたものである。なお、図1、図2は本発明の一実施例に採用された変換規則を示したものであり、上述の如き趣旨に則って同様に定めた他の変換表を採用しても良い。また上記実施例では、直流制御ブロックとその1つ前のブロックの2ブロックを6ビットの符号語に変換する直流制御用変換規則と、直流制御ブロックと次のブロックの2ブロックを6ビットの符号語に変換する直流制御用変換規則とで、同一の変換規則としたが、互いに異なる変換規則としても良い。また上記実施例の図2では、1つのデータに対し、両端のビットをそれぞれ共通の値を持ち得る2つの符号語に対応させているが、両端のビットがそれぞれ共通の値を持つものであれば2つ以上の符号語に対応させても良い。さらに、上記実施例では $m$ 、 $n$ 、 $d$ 、 $k$ をそれぞれ2、3、1、7としたが、これらが他の値であっても本発明は適用可能である。

【0030】

【発明の効果】以上のように、本発明によれば、入力データ系列を $m$ ビット毎のブロックに区切り、ブロックの1個を $n$ ビットあるいは2個を $2n$ ビットの符号語に順次変換してRLL符号を生成するデータ変換方式において、所定ブロック数毎に $m$ ビットからなる直流制御ブロックを挿入し、直流制御ブロックの直前の2つのブロックが $2n$ ビットの符号語に変換されたときは直流制御ブロックとその次のブロックの2ブロックを、それ以外では直流制御ブロックとその1つ前のブロックの2ブロックを、他のブロックの変換規則とは異なる直流制御用変換規則によって $2n$ ビットの符号語に変換するとともに、これらの変換において1つの2ブロックデータに対して2つ以上の $2n$ ビットの符号語を対応させてその1つを選択可能とすることにより、従来では十分な直流除去が行えなかったRLL符号に対しても効果的な直流成分の除去を可能とする。また、1ブロックのビット数は変換前 $m$ ビット、変換後 $n$ ビットで一定であるため変換器及び復号器の構成が容易である。さらに、本発明の実施例の変換規則はRLL符号のビット誤りに対して復号時の誤り伝搬が少なくなるように定められている。

【0031】また、本発明による復号方法は、直流制御ブロックの次の2つのブロックに対応した $2n$ ビット符号語がこれに対応するデータ変換規則のどの $2n$ ビット符号語にも一致せず、かつ直流制御ブロックとその直前のブロックとで $2n$ ビット符号語からの復号を行わないあるいは正しく行えない場合で、かつ直流制御ブロックとその次のブロックに対応した $2n$ ビット符号語が直流

制御用変換規則のいずれかの符号語に一致するときのみ、直流制御ブロックとその次のブロックとで $2n$ ビット符号語からの復号を行うようにすることにより、誤り伝搬を少なくしている。

【図面の簡単な説明】

【図1】本発明による一実施例に適用された、直流制御ブロック以外のブロックの変換規則を表す表を示す図。

【図2】本発明による一実施例に適用された、直流制御ブロックを含むブロックの変換規則を表す表を示す図。

【図3】本発明による一実施例におけるデータ変換の形態の一例を示す図。

【図4】本発明による一実施例におけるデータ変換の形態の他の例を示す図。

【図5】本発明による一実施例のデータ変換器の構成を示すブロック図。

【図6】図5のデータ変換器における変換回路の具体的な構成を示すブロック図。

【図7】本発明による一実施例の復号回路を示すブロック図。

【図8】図7の復号回路の動作の一例を説明するための図。

【図9】図7の復号回路の動作の他の例を説明するための図。

【図10】図7の復号回路の動作を示すフローチャート。

【主要部分の符号の説明】

- 1 変換回路、
- 2, 3 同期信号挿入回路
- 4, 5 遅延回路
- 6 選択回路
- 7, 8, 10 DSV計算回路
- 9 選択制御回路
- 11 タイミング信号発生回路
- 12 4ビット・シフト・レジスタ
- 13 ROM
- 14 NORゲート
- 15 EXORゲート
- 16, 17 6ビット・シフト・レジスタ
- 18 ANDゲート
- 19 反転ゲート
- 20 6ビット・シフト・レジスタ
- 21 ROM
- 22 NORゲート
- 23 4ビット・シフト・レジスタ

【図1】

(A)

データ (1ブロック)	符号語
0 1	X 0 0
1 0	0 1 0
1 1	X 0 1

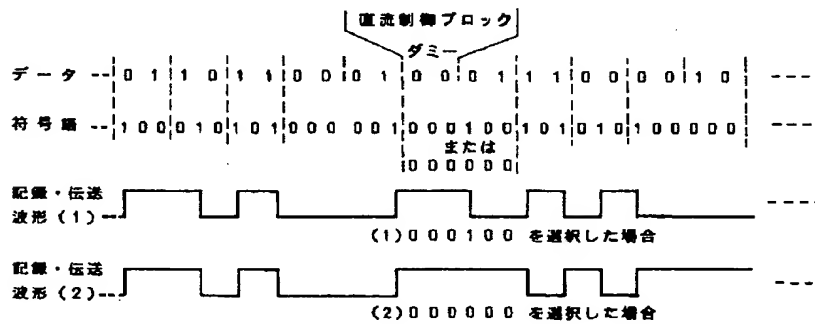
(B)

データ (2ブロック)	符号語
0 0 0 1	X 0 0 0 1
0 0 1 0	X 0 0 0 0
0 0 1 1	0 1 0 0 1
0 0 0 0	0 1 0 0 0

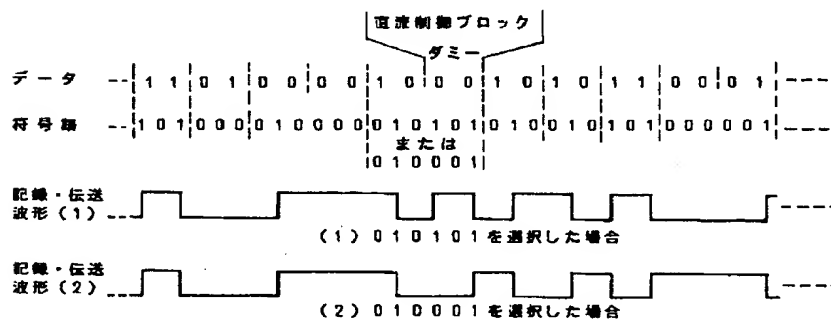
【図2】

直流制御ブロックと共に変換されるデータ	符 号 語	
0 1	1 が奇数個	X 0 0 1 0 0
	1 が偶数個	X 0 0 0 0 0
1 0	1 が奇数個	0 1 0 1 0 1
	1 が偶数個	0 1 0 0 0 1
1 1	1 が奇数個	X 0 0 0 0 1
	1 が偶数個	X 0 0 1 0 1
0 0	1 が奇数個	0 1 0 0 0 0
	1 が偶数個	0 1 0 1 0 0

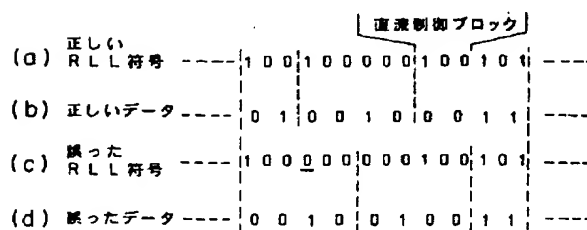
【図3】



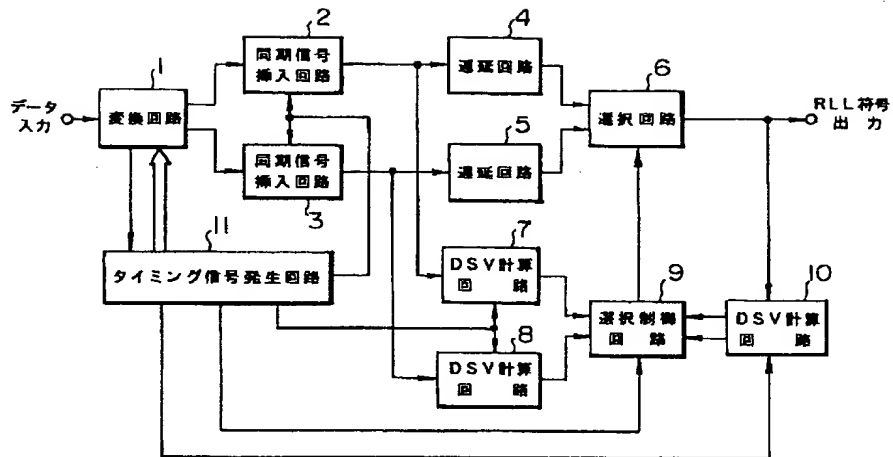
【図4】



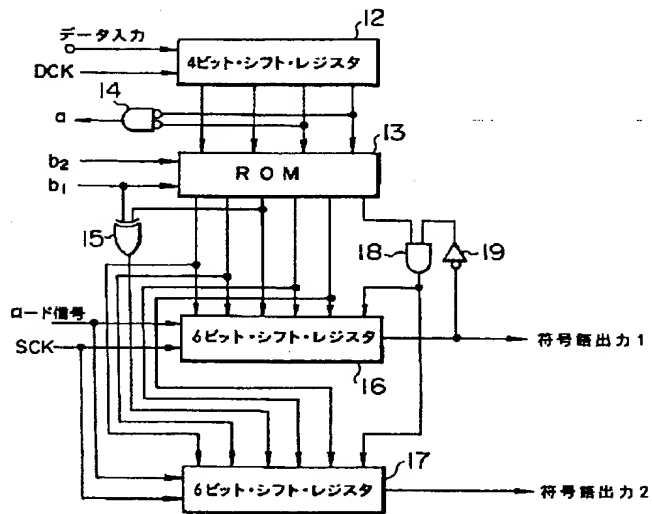
【図9】



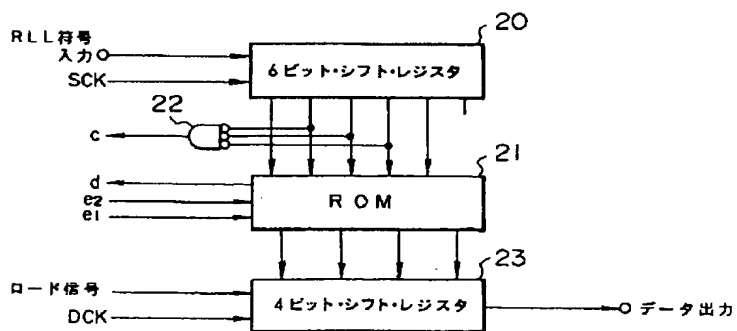
【図5】



【図6】



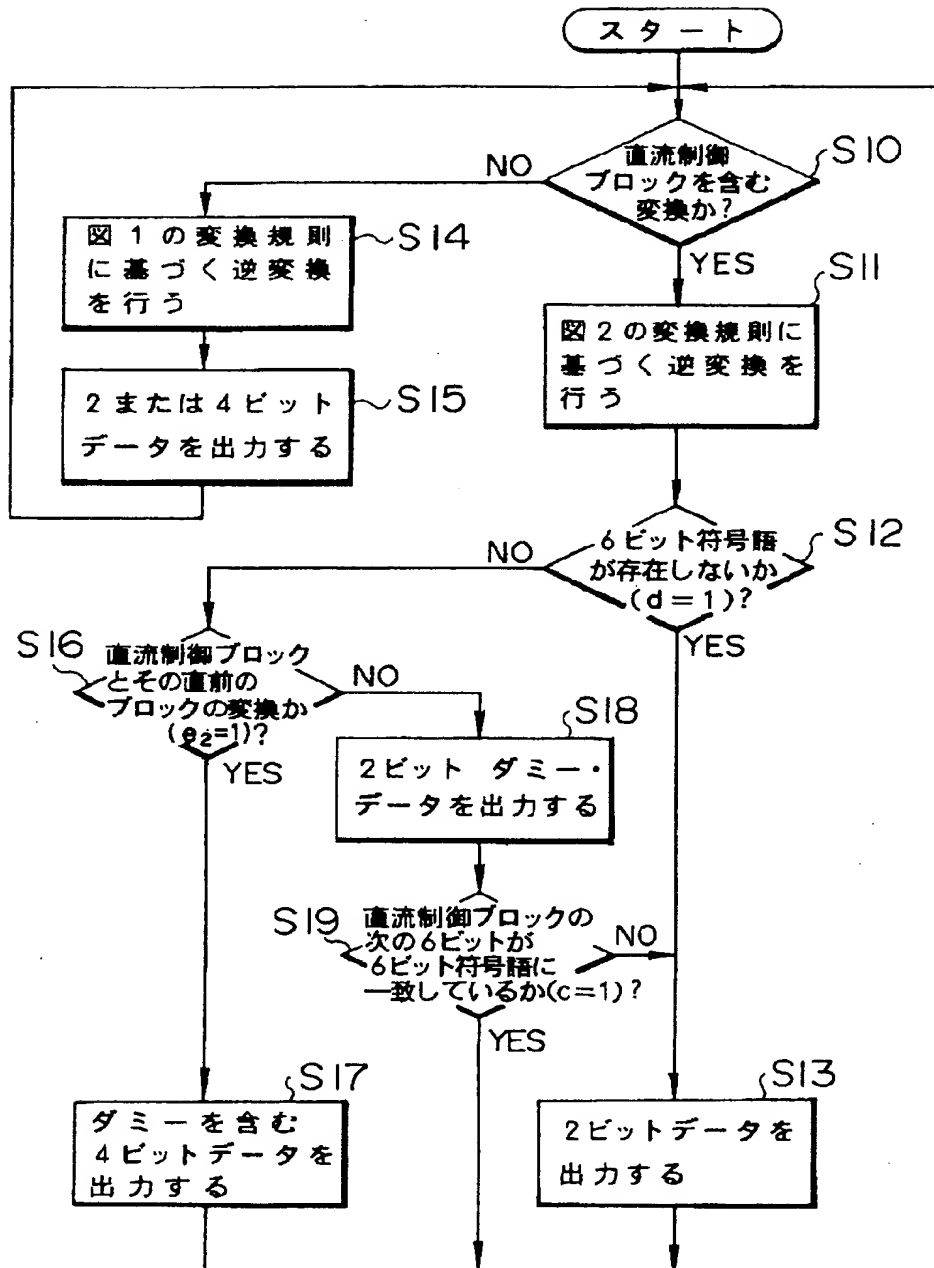
【図7】



【図8】

		直線制御ブロック																
(a) 正しい RLL 符号	----	0	1	0	1	0	0	1	0	0	1	0	0	0	0	0	0	----
(b) 正しいデータ	----	1	0	0	1	0	0	0	0	0	1	0						----
(c) 誤った RLL 符号	----	0	1	0	<u>0</u>	0	0	1	0	0	1	0	0	0	0	0	0	----
(d) 誤ったデータ	----	0	0	0	0	0	0	0	0	1	0	1						----
(e) 再復号・ロード													0	0	1	0	----	

【図10】



**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☒ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**